

⑩ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭57-138237

⑨ Int. Cl.<sup>3</sup>  
H 04 L 1/10  
// H 04 B 7/14

識別記号

庁内整理番号  
6651-5K  
7251-5K

⑬ 公開 昭和57年(1982) 8月26日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑭ 誤り訂正並列データ伝送方式

東京都港区芝五丁目33番1号日  
本電気株式会社内

① 特 願 昭56-23952

① 出 願 人 日本電気株式会社

② 出 願 昭56(1981) 2月20日

東京都港区芝5丁目33番1号

⑦ 発 明 者 大島五郎

④ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

誤り訂正並列データ伝送方式

2. 特許請求の範囲

予め定めたある整数の組  $k$  および  $p$  に対し、 $k$  ビットの伝送すべき情報データビットごとに  $p$  ビットの割合で発生するパリティビットを必要とする予め定めた誤り訂正符号方式を使用し、

送信側においては伝送すべき情報データ  $k$  ビットごとに発生する前記使用する誤り訂正符号方式により定まる  $p$  ビットのパリティビットと前記伝送すべき情報データ  $k$  ビットとの合計  $(k + p)$  ビットをそれぞれ周波数の異なる  $(k + p)$  のこのキャリアを変調する  $(k + p)$  のこの変調器を介して並列に送出し、

受信側においては前記  $(k + p)$  のこのそれぞれの周波数のキャリアを復調する  $(k + p)$  のこの復調器を用いて復調し、前記並列に伝送された  $k$  と

の情報データビットと  $p$  のこのパリティビットとをもとにして前記使用する誤り訂正符号方式によって定まる誤り訂正を行なうことを特徴とする誤り訂正並列データ伝送方式。

3. 発明の詳細な説明

本発明は誤り訂正並列データ伝送方式に関する。衛星通信を使用する SCPC (Single Channel Per Carrier: シングルチャネルパーキャリア) システムは音声通信およびデータ通信用として国際的に広く使用されている。このシステムは、各チャネルごとに異なる周波数の RF のキャリアを使用し、このキャリアを 64 kbps のビットレートをもつデジタル信号によって PSK 変調して伝送する。回線のスレシホールドにおける BER (ビットエラーレート) は約  $10^{-6}$  に選ばれている。このため、PCM 符号化を用いた音声伝送に対しては、充分の品質を有するが、データ伝送に対してはこのままでは品質が不充分となる。

そこで、一般にパリティビットを付加する誤り

訂正符号方式を用い、データ伝送に対するBERを改善するが、従来は誤り訂正用のパリティビットを挿入するために、その分だけ伝送すべきデータのビットレートを下げて伝送するという方法がとられている。このためにデータ伝送速度を回線のビットレートまであげることが出来ないという欠点を有している。

本発明の目的は上述の従来の欠点を除去した伝送方式を提供するにある。

本発明の方式は、予め定められた整数の組 $k$ および $p$ に対し $k$ ビットの伝送すべき情報データビットごとに $p$ ビットの割合で発生するパリティビットを必要とする予め定められた誤り訂正符号方式を使用し、送信側においては伝送すべき情報データ $k$ ビットごとに発生する前記使用する誤り訂正符号方式により定まる $p$ ビットのパリティビットと前記伝送すべき情報データ $k$ ビットとの合計 $(k+p)$ ビットをそれぞれ周波数の異なる $(k+p)$ このキャリアを変調する $(k+p)$ この変調器を介して並列に送出し、受信側においては前記 $k$

す。 $D$ はシフトレジスタのシフト長を表わす)と排他的論理和回路(プラス記号を円で囲んだ回路)より構成されるが、このように全部で6単位長のシフトレジスタを含むので、ある時点で得られるパリティはそのデータとそれより6ビット前までのデータの値によって定まることになる。こうして得られたパリティビットは出力3Bより前記並列直列変換回路2のもう一方の端子に供給され、かくして、回路2において並列に加えられた前記データビットとこのパリティビットとが直列信号に変換され(すなわちデータビットとパリティビットとが交互に選択されて)、1つの直列伝送チャンネル、例えば前記SCPC方式の場合には、このチャンネルとして定まった1つの周波数のキャリアをPSK変調する変調器4と受信側でこのチャンネルのキャリアを復調する復調器5とを含む衛星中継回線の中の1つの直列伝送チャンネル6を介して受信側に伝送される。従ってこの直列伝送チャンネル6の伝送速度が例えば64 kbpsの場合には実際に伝送できるデータの伝送速度は32

$+p)$ このそれぞれの周波数のキャリアを復調する $(k+p)$ この復調器を用いて復調し、前記並列に伝送された $k$ この情報データビットと $p$ このパリティビットとをもとにして前記使用する誤り訂正符号方式によって定まる誤り訂正を行なう。

次に図面を参照して本発明を詳細に説明する。

本発明の実施例の説明に先だち、まず、誤り訂正符号方式の1例としてレート $(R)$ が $1/2$ のたたみ込み符号を用いた場合の一般的なデータ伝送の方法について説明する。第1図はレート $1/2$ のたたみ込み符号の中で最も簡単な、総長14ビットの誤り訂正符号を用いた従来の誤り訂正データ伝送方式を示すブロック図である。

入力端子1から入った伝送すべきデータは2つに分かれ一方は直接に並列変換回路2の1つの端子に供給され、もう一方はパリティ発生器3の入力側に供給され、ここでこのデータをもとにしたパリティビットが作られ、パリティ発生出力端子3Bより出力される。パリティ発生器3は図に示すようなシフトレジスタ(2D, 3D, 1D)で示

kbpsになることは明らかである。

さて、受信側においては前記伝送チャンネル6からの受信信号は、まず、直列並列変換回路7によって2つの出力7Aおよび7Bからの2ラインの並列信号に変換される(直列受信信号を交互に2つの出力7Aおよび7Bに分配する)。こうして今、回路7の出力7Aにデータビットが、また出力7Bにパリティビットが得られたと仮定する。実際には、これが逆になると後述する誤りの現われる確率が異常に高くなるため、これを検出し、それによって、回路7の分配の位相を1つずらせて、7A側と7B側への受信信号の分配を反転する手段が含まれている。さて、7A側から得られた受信データビットは送信側で用いた回路3と全く同じ構成をもつパリティ発生器8に供給され、ここで受信した信号をもとにしてパリティが発生され回路8のパリティ出力端子8Bより出力され、排他的論理和回路9において受信されたパリティビット、すなわち出力7Bとの排他的論理和がとられる。もし、受信したデータビットにもまた受

信したパリティビットにも全く誤りがなければ、回路8のパリティビット出力8Bは、送信側で発生したのと全く同じパリティビットを出力し、これが受信側から送られたパリティビット、すなわち出力7Bと回路9において排他的論理和がとられるので、回路9の出力は常に“0”になる。もし、伝送途中において、データビットまたはパリティビットのいずれか一方または双方に誤りが発生した場合には、それに応じて回路9の出力には、“1”を含むあるビットパターンが発生する。これをシンδροーム(病気の症状群を意味する)という(例えば、データビットに1つの誤りが発生した場合に、その誤りデータビットがパリティ発生器8のシフトレジスタを通りぬけ、発生するパリティビットに全く影響を与えなくなるまでに7ビット長の期間が必要である。従ってこの期間にこの誤りを含むデータをもとにして発生される7ビット長のパリティビットパターンは、もとのパリティビットパターンと同一にはならないので、このように孤立した1つのデータビットの誤りに

ある。

伝送すべきデータは入力端子1から誤り訂正送信回路20に供給される。回路20は2つの出力20Aおよび20Bをもち、前記入力した伝送すべきデータは一方では出力20Aよりそのまま出力される。他方では前記データは回路20に含まれるパリティ発生器3に供給され、回路3のパリティ出力端子3Bが前記回路20の出力20Bとなる。

前記出力20Aは、1つの直列伝送チャンネル、例えば前記SCPC方式の場合には、このチャンネルの周波数のキャリアをPSK変調する変調器41と受信側でこのチャンネルのキャリアを復調する復調器51とを含む衛星中継回線の中の1つの直列伝送チャンネル61を介して受信側に伝送される。

また前記出力20Bは、別の1つの直列伝送チャンネル、例えば前記SCPC方式の場合にはこの別のチャンネルの周波数のキャリアをPSK変調する変調器42と受信側でこのチャンネルのキャ

対しては7ビット長のパターンをもつシンδροームが対応することになる)。このシンδροームを誤り訂正ビット発生回路10に供給し、このシンδροームパターンによって一義的に定まる誤り訂正ビットを発生し、これを、前記回路8のデータ出力端子8A(この出力端子は入力データビットが7単位時間長だけシフトによって後れているだけで伝送されたデータビット出力と全く同じものを与える)と共に排他的論理和回路11に供給する。こうして、回路11において誤り訂正ビットが発生するとデータビットの符号が反転され誤り訂正が実現される。このような $R = \frac{1}{2}$ 、拘束長14ビットの誤り訂正符号方式を用いることにより、拘束長14ビット内に生ずる2ビットまでの誤りを訂正できることが知られている。

次に本発明の一実施例として上述の誤り訂正符号方式を用いた誤り訂正並列データ伝送方式を図面を用いて詳細に説明する。

第2図は本発明の一実施例を示すブロック図である。

リフを復調する復調器52とを含む衛星中継回線の中の1つの直列伝送チャンネル62を介して受信側に伝送される。

こうして送信側の誤り訂正送信回路20で得られたデータとパリティとが2つの直列伝送チャンネル61および62を介して並列に伝送され受信側の誤り訂正受信回路70に供給される。

回路70は2つの入力70Aおよび70Bをもち、入力70Aには前記チャンネル61の出力、すなわち、伝送されたデータビットが供給され、また入力70Bには前記チャンネル62の出力、すなわち、伝送されたパリティビットが供給される。前記入力70Aから入力された受信データビットは、回路70の中において、回路3と全く同じ構成をもつパリティ発生器8に供給され、ここで受信した信号をもととしてパリティが発生され、回路8のパリティ出力端子8Bから出力されて、排他的論理和回路9に供給される。また、前記チャンネル62を介して伝送され、入力70Bに供給されたパリティビットは同様に排他的論理和回

路9に供給され、ここで、前述したシンδροームが回路9の出力として得られる。このシンδροーム(回路9の出力)を前記回路70中に含まれる誤り訂正ビット発生回路10に供給し、こうして得られる誤り訂正ビットを、排他的論理和回路11において前記パリティ発生回路8のデータ出力端子8Aから得られる遅延された受信データビットとの排他的論理和をとり、これを回路70の出力とする。

以上のように、この実施例の信号伝送においては、第1図を用いて説明した従来の信号伝送に対して、並列直列変換回路2および直列並列変換回路7を含まず、そのかわり、従来の1つの直列伝送路6を、2つの直列伝送路61および62とし、データビットとパリティビットとを並列に伝送している。これにより、前述の誤り訂正が全く同様に実行されることは明らかである。

しかも、本実施例の方式においては、前記回路2および回路7を含まないので、受信側の回路7における前述したデータビット出力側とパリティ

信側において、前記誤り訂正受信回路70中にシンδροーム検出回路8Dを設け、シンδροームとして現われる“1”の確率がある予め定められたスレシホールドよりも小さくなった場合には、これを検出して受信側のボイス/データ切替器S'をデータモードに切替える制御を行なうことにより、送信側から受信側のデータモードを起動することができる。

またさらに、本実施例の誤り訂正方式を用いる場合には予備回線を別に用意することなく、障害に対してソフトリダンダント動作を行う回線(柔軟性のある冗長度をもつ回線)を下記のようにして構成することができる。すなわち、前記直列伝送チャンネル61または62のいずれか一方に障害が生じたことが送信側で検出された場合には、送信側では伝送すべきデータビットを両チャンネルの変調器に並列に接続し(従ってパリティビットの送信は行なわず)、かつ障害を生じた側の変調器のキャリアを断とする。受信側では、一方の復調器がキャリアが断となったことを検出すると、

ビット出力側との正しい分配を決定するための制御を全く必要とせず、また直列伝送チャンネル61および62の伝送速度が例えば64kbpsの場合には、伝送すべきデータを同じ64kbpsで伝送できるという特徴を有している。

前記SCPC方式の1つの運用形態としてA V D (Alternate Voice and Data: オルタネートボイスアンドデータ)動作がある。データ伝送に対して本実施例に示した誤り訂正方式を用いる場合に、このA V D動作を行うためには、第3図に示すように、前記誤り訂正受信回路20と前記直列伝送チャンネル61および62との間にボイス/データ切替器Sを設け、ボイス伝送の場合にはチャンネル61およびチャンネル62に別々のPCMコードを接続してボイス2回線を同時に伝送すればよい。こうすることによって、ボイス伝送時にはBERが約 $10^{-4}$ の2回線が、またデータ伝送時にはBERが約 $10^{-8}$ の1回線が得られ、ボイスおよびデータ伝送に対してバランスのとれた伝送方式を構成することができる。また受

信側の復調器からの出力を直接受信データビット出力とるように切替える。こうすることによって、1回線障害の場合でも回線断を防ぎ、BERが劣化した形でオペレーションを継続することができる。

またさらに、本実施例の誤り訂正方式を用いたデータ伝送に対して予備を設ける場合には、送信側においてはチャンネル61または62に用いたのと同じ変調器を、また受信側においては同様にチャンネル61またはチャンネル62<sup>(15)</sup>用いたのと同じ復調器を、それぞれ1こだけを装備し、これをデータビット伝送用およびパリティビット伝送用の共通予備として用いることができる。これは従来の伝送方式をとる場合に比較し、予備として必要な変復調器の伝送容量の比率が1/2で済むことが明らかであろう。

以上の説明は、 $R = \frac{1}{2}$ 、搬送長14ビットの誤り訂正たみ込み符号方式を用いた実施例について詳述したものであるが、一般に従来の誤り訂正符号を用いたSCPC方式は、あるkビットの伝送

すべきデータごととに発生する $p$ ビットのパリティビットを前記データビット中に挿入し、これを $k + p$ ビットごとにくりかえして伝送するという形式をとっている(前述の説明で明らかな通り、これは必ずしも $p$ このパリティビットが $k$ このデータビットで定まるという意味ではない)。

第4図はこのような一般の場合における本発明の実施例を示したものである。

すなわち、誤り訂正受信回路200は入力端子1から入力した送信すべきデータをもととして、 $k$ この並列データビットと、採用している誤り訂正符号方式に応じた $p$ この並列パリティビットを作成し、この $(k + p)$ この並列データを $(k + p)$ この別々の周波数をもつ直列データ伝送チャンネル601, 602, ..., 600 +  $k$ , 600 +  $k + 1$ , ..., 600 +  $k + p$ のそれぞれのキャリアを変調する $(k + p)$ この変調器401, 402, ..., 400 +  $k$ , 400 +  $k + 1$ , ..., 400 +  $k + p$ を介して並列に受信側に伝送する。受信側においては、こうして送信された $(k +$

カデータ系列 $1' - 1, 1' - 2, \dots, 1' - k$ のデータから、採用している誤り訂正符号方式に応じた $p$ このパリティビットを作成し、前記 $k$ このデータビットとこの $p$ このパリティビットの $(k + p)$ この並列データを前述と同様に受信側に伝送する。受信側においては、誤り訂正受信回路700'において、採用している誤り訂正符号方式に応じた誤り訂正回路を用い、前記伝送された各データビット中に含まれる誤りを訂正して送信側に対応する $k$ この別々の出力データ系列 $2' - 1, 2' - 2, \dots, 2' - k$ として出力する。このように伝送方式をとることにより、誤り訂正用のパリティビットを複数のデータチャンネルで共通に使用できるため、伝送すべきデータビットと挿入すべきパリティビットの冗長度との相対関係に対する自由度を増加し、両者の整合を一層よく選ぶことができる。

以上述べたように、本発明を用いることにより従来にはない種々の特徴をもつ誤り訂正を含むデータ伝送方式を提供することができる。

$p$ )このそれぞれの周波数のキャリアを復調する $(k + p)$ この復調器501, 502, ..., 500 +  $k$ , 500 +  $k + 1$ , ..., 500 +  $k + p$ を用いてこれらのキャリア復調し、こうして得られる $k$ この並列なデータビットと $p$ この並列なパリティビットを誤り訂正受信回路700に供給し、この回路700において採用している誤り訂正符号方式に応じた誤り訂正回路を用いて前記伝送されたデータビット中に含まれる誤り訂正を実行し、これを送信側で入力したデータと同じ直列データに変換して出力する。このような伝送方式をとることによって各直列データ伝送チャンネル601, 602, ...等の $k$ 倍の伝送速度をもつデータチャンネルを誤り訂正機能を付加して伝送することができる。

また、上の実施例においては、送信すべきデータとして1つの系列の直列データを用いたが、これを第5図に示すように、 $k$ この独立したデータ系列のデータとしてもよい。この場合には、誤り訂正受信回路200'は並列に

これによってデータ伝送回線の伝送性能を改善できる。

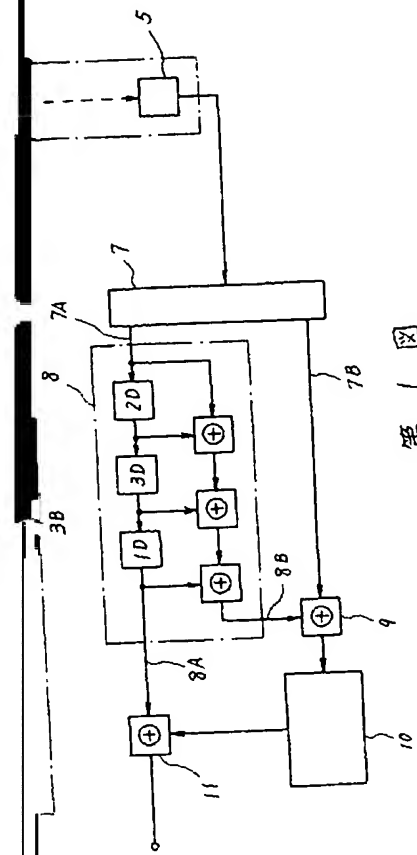
#### 4. 図面の簡単な説明

第1図は従来の誤り訂正データ伝送方式を示すブロック図、第2図は本発明の一実施例を示すブロック図、第3図は前記実施例にA/V動作を適用したブロック図、第4図および第5図は一般的な誤り訂正符号方式を本発明に適用した場合の実施例を示すブロック図である。

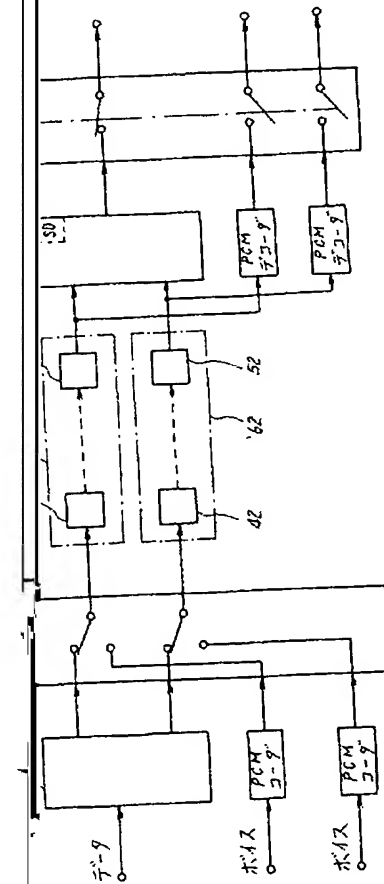
図において、

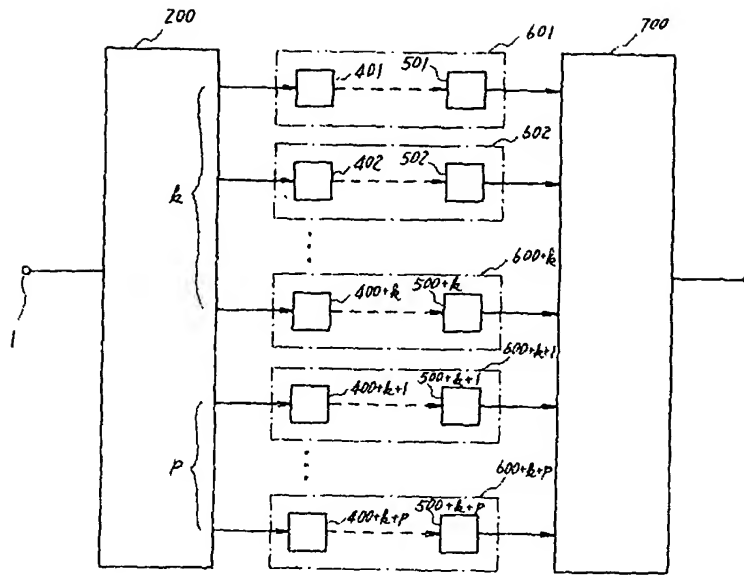
1……入力端子、2……並列直列変換回路、3……パリティ発生器、4……変調器、5……復調器、6……直列伝送チャンネル、7……直列並列変換回路、8……パリティ発生器、9, 11……排他的論理和回路、10……誤り訂正ビット発生回路、20……誤り訂正送信回路、41, 42……変調器、50, 51……復調器、61, 62……直列伝送チャンネル、70……誤り訂正受信回路、200, 200'……誤り訂正送信回路、401,

第 1 図

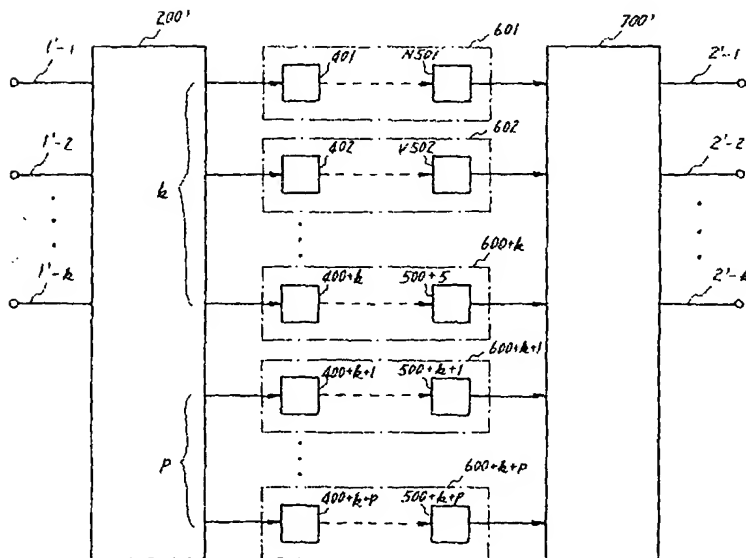


第 3 図





第 4 図



第 5 図